

高速パターンマッチング回路



笹尾 勤

Tsutomu Sasao

理工学部 情報科学科 コンピュータシステム研究室
School of Science and Technology, Department of Computer Science
<http://www.lsi-cad.com/>

研究目的	<p>パターンマッチングをソフトウェアで実行すると処理時間が長くなる。本研究では大量のメモリを活用してFPGA等の論理回路で演算することで処理の高速化を実現する。必要となる論理回路を合成するソフトウェアを研究開発する際、独自の論理関数最小化の技術を用いる。</p> <p>本研究の論理回路は容易に書き換え可能であり、広範囲の応用システムが可能である。本研究では、ネットワークルータ、パケット分類、インターネットのウイルス検出などへの応用を検討する。</p>
研究内容	<p>高速マッチングの手法として二つの方法を開発した。</p> <p>第1は、CAMエミュレータである。これは、通常のRAMを用いてCAMと同様な機能を実現する手法である。これは、厳密マッチングおよびLPM(longest prefix match)マッチングに有効である。</p> <p>これに関しては、JSTの補助により、米国特許を3件出願済である。また、設計理論を完成し米国から書籍を出版した。国際会議で招待講演し、また、米国の論文誌の招待論文となっている。また、FPGA上にプロトタイプを作製した。</p> <p>第2は、ブランピング・プログラム・マシンを多数用いた並列プロセッサである。ブランピング・プログラム・マシンは、命令を僅か2個しか持たない専用プロセッサである。通常のマイクロプロセッサに比べ構造が単純なため、高速かつ低電力である。</p> <p>これは、正規表現マッチングや、パケット分類（区間マッチング）に利用する。ブランピング・プログラム・マシンを32台～1024台用いて高速化した。この手法に関しては、共同研究企業と国内特許を1件出願済みである。FPGA上にプロトタイプを作製し、ハードウェア量を増やすことにより、単1プロセッサ上のソフトウェアに比べ1000倍程度高速化が可能であることを実証した。また、世界的な設計コンテストで第1位を獲得し、別の国際会議では論文賞を受賞した。また、IEICE（電子情報通信学会）論文誌に招待論文として掲載されている。</p>
用途	ネットワークルータ、パケット分類、インターネットのウイルス検出
関係論文	①”パターンマッチング用プログラマブル論理回路とその設計法,” 電子情報通信学会誌, Vol.96, No.2, pp.100-104, 2013年2月
関係特許	連想メモリ [特許第4934825号] アドレス生成器 [特許第4892693号] 多段論理回路の再構成装置及び再構成方法, 論理回路修正装置, 並びに再構成可能な多段論理回路 [特許第4742281号]
キーワード	パターンマッチング, 書き換え可能回路, CAM, FPGA, ルータ, コンピュータ・ウイルス検出エンジン



●お問合せ先●

明治大学 研究推進部 生田研究知財事務室

TEL: 044-934-7639 E-mail: tlo-ikuta@mics.meiji.ac.jp

2014年6月改訂